

F3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-4085

(43) 公開日 平成10年(1998) 1月6日

(51) Int. Cl. ⁶	識別記号	F I	
H01L 21/3065		H01L 21/302	B
21/28		21/28	F
21/68		21/68	N

審査請求 未請求 請求項の数 6 O L (全 8 頁)

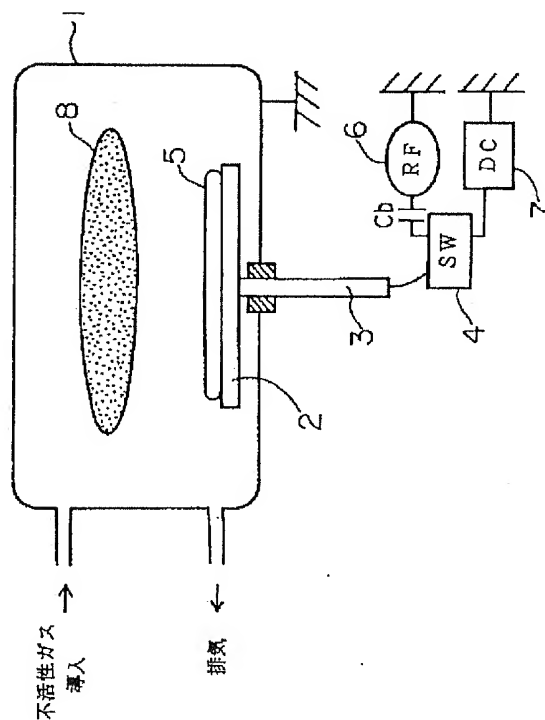
(21) 出願番号	特願平8-156515	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川 6 丁目 7 番35号
(22) 出願日	平成 8 年(1996) 6 月18日	(72) 発明者	山田 博 東京都品川区北品川 6 丁目 7 番35号 ソニ ー株式会社内

(54) 【発明の名称】 ドライエッチング方法および装置

(57) 【要約】

【課題】 プラズマを使用して半導体基板のエッチングを行うドライエッチング方法および装置に関し、チャージアップに起因するゲート電極下の絶縁層の静電破壊を防止することを課題とする。

【解決手段】 接地されたチャンバ 1 とその内部に設けられた基板支持台 2 との間にプラズマ 8 を発生させ、発生したプラズマ 8 を、基板支持台 2 上の半導体基板 5 に照射するようにするドライエッチング装置における基板支持台 2 に、RF 交流電源 6 から高周波交流電流を供給して直流セルフバイアスを発生させ、基板支持台 2 を第 1 の所定時間に亘って負に帯電させる工程と、基板支持台 2 に直流電源 7 から直流電流を供給して基板支持台 2 を第 2 の所定時間に亘って正に帯電させる工程とから成る。



【特許請求の範囲】

【請求項 1】 接地された筐体とその内部に設けられた基板支持台との間にプラズマを発生させ、発生したプラズマを、前記基板支持台上の半導体基板に照射するようにするドライエッチング方法において、前記基板支持台に高周波交流電流を供給して直流セルフバイアスを発生させ、前記基板支持台を第 1 の所定時間に亘って負に帯電させる工程と、前記基板支持台に直流電流を供給して前記基板支持台を第 2 の所定時間に亘って正に帯電させる工程と、を有することを特徴とするドライエッチング方法。

【請求項 2】 前記第 1 の所定時間の値は、少なくとも前記半導体基板の静電破壊が発生する限界値よりも小さい値に設定されることを特徴とする請求項 1 記載のドライエッチング方法。

【請求項 3】 前記第 2 の所定時間の値は、少なくともプラズマの発生が停止する限界値よりも小さい値に設定されることを特徴とする請求項 1 記載のドライエッチング方法。

【請求項 4】 接地された筐体とその内部に設けられた基板支持台との間にプラズマを発生させ、発生したプラズマを、前記基板支持台上の半導体基板の表面に形成された金属薄膜に照射して取り除くようにするドライエッチング方法において、前記基板支持台を直流セルフバイアスにより負に帯電させ、前記金属薄膜を正電荷イオンでエッチングする工程と、前記基板支持台を直流電源により正に帯電させて前記金属薄膜に負電子を注入させ、前記金属薄膜に蓄えられた正電荷を中和する工程と、を有することを特徴とするドライエッチング方法。

【請求項 5】 プラズマを使用したドライエッチング装置において、接地されるとともに、内部でプラズマが発生されるようにされた筐体と、前記筐体の内部に設けられ、半導体基板が搭載される基板支持台と、前記基板支持台に高周波交流電流を供給して、前記基板支持台を直流セルフバイアスにより負に帯電させる高周波交流電源と、前記基板支持台に直流電流を供給して、前記基板支持台を正に帯電させる直流電源と、前記高周波交流電源からの高周波交流電流と前記直流電源からの直流電流とを交互に前記基板支持台に供給する切替手段と、を有することを特徴とするドライエッチング装置。

【請求項 6】 プラズマを使用したドライエッチング装置において、接地されるとともに、内部でプラズマが発生されるようにされた筐体と、

前記筐体の内部に設けられ、半導体基板が搭載される基板支持台と、前記基板支持台に接続され、前記基板支持台に正負の直流電圧を交互に供給する供給手段と、を有することを特徴とするドライエッチング装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ドライエッチング方法および装置に関し、特に、接地された筐体とその内部に設けられた基板支持台との間にプラズマを発生させ、発生したプラズマを、基板支持台上の半導体基板に照射するようにするドライエッチング方法および装置に関する。

【0002】

【従来の技術】半導体基板に設けられた配線用金属膜の表面酸化膜を除去するための、所謂プリエッチング工程では、ドライエッチング装置が使用されている。

【0003】図 5 は、従来のドライエッチング装置の構成図である。図中、チェンバ 101 が密封空間を構成し、その空間に不活性ガスが導入され（例えば、Ar ガス、100 s c c m）、また、真空排気系の接続により内部が低ガス圧に調整される（例えば、0.13 P a）。さらにチェンバ 101 は導電材で構成され、接地されている。チェンバ 101 内には基板支持台 102 が、チェンバ 101 と電氣的に絶縁された状態で設けられる。基板支持台 102 は、導電材で構成され、導電支持棒 103 を介してブロッキングコンデンサ C に接続され、ブロッキングコンデンサ C は R F 交流電源（R F）104 に接続される。基板支持台 102 にはエッチング時に半導体基板 105 が搭載される。ブロッキングコンデンサ C は直流電流を遮断するためのものである。R F 交流電源 104 は、周波数 13.56 M H z、交流電圧 1000 V の高周波交流電流を、ブロッキングコンデンサ C および導電支持棒 103 を介して基板支持台 102 に供給する。

【0004】R F 交流電源 104 からの高周波交流電流の供給により、チェンバ 101 と基板支持台 102 との間にプラズマ 106 が発生する。プラズマ 106 の中には、正負同数の電離した粒子（電子、陽イオン等）と中性粒子とが存在する。電子は質量が小さいため電界の変動に対応した運動をすることができのに対し、陽イオンは質量が大きいために電界の変動に対応した運動を殆どすることができない。イオンシース内の電界が単振動するときの電子の振幅が約 2 m となるのに対し、陽イオンの振幅は約 30 μ m である。したがって、電子は電界の高周波変動に応じて動き得るが、陽イオンは電界の高周波変動に応じて動けず、直流電界に応じて動くだけとなる。

【0005】このように高周波変動電界では電子と陽イオンとの応答速度が違ふということ、および基板支持台

1 0 2 に比べてチェンバ 1 0 1 の面積が大きく、チェンバ 1 0 1 全体がアース電位になっていることに起因して、基板支持台 1 0 2 に高周波交流電流が供給されているときに、プラズマ 1 0 6 中の電子だけが基板支持台 1 0 2 に集まる。すなわち、高周波変動電界では陽イオンは殆ど移動せず、電子だけが高周波変動電界に応答するが、チェンバ 1 0 1 に取り囲まれたプラズマ 1 0 6 の電位がアース電位に非常に近くなるために、プラズマ 1 0 6 中の電子がチェンバ 1 0 1 の方向には移動しづらい環境となっている。その結果、電子が基板支持台 1 0 2 に集まるとい

【 0 0 0 6 】 基板支持台 1 0 2 に集まった電子は、ブロッキングコンデンサ C の作用により基板支持台 1 0 2 に蓄積され、その結果、基板支持台 1 0 2 が負にバイアスされる。通常、数 1 0 0 V 程度にバイアスされ、これを直流セルフバイアスと呼ぶ。この負の直流セルフバイアスが発生すると、プラズマ 1 0 6 中の電子は反発を受けて基板支持台 1 0 2 に流れ込みにくくなる一方、プラズマ 1 0 6 中の陽イオンが基板支持台 1 0 2 方向に加速されて移動することになる。そして、電界変動の 1 周期の間に基板支持台 1 0 2 に流れ込む電子と陽イオンとの量が釣り合うところで平衡状態となり、放電が継続される。

【 0 0 0 7 】 図 6 は、こうした初期時および平衡時の基板支持台 1 0 2 の電位および流入電流を示す図であり、

(A) は初期時の R F 交流電源 1 0 4 の出力電圧を、

(B) は初期時の基板支持台 1 0 2 の電位を、(C) は初期時の基板支持台 1 0 2 への流入電流を示し、(D) は平衡時の R F 交流電源 1 0 4 の出力電圧を、(E) は平衡時の基板支持台 1 0 2 の電位を、(F) は平衡時の基板支持台 1 0 2 への流入電流を示す。(B)、(E) における破線は直流セルフバイアスを示し、(C)、

(F) において、中央線 L 1 1、L 1 2 よりも上部のグラフ G 1 1、G 1 3 は電子の流入量を、下部のグラフ G 1 2、G 1 4 は陽イオンの流入量をそれぞれ示す。

【 0 0 0 8 】 すなわち、R F 交流電源 1 0 4 から、図 6

(A) に示すような出力電圧が、基板支持台 1 0 2 へ供給された場合、初期時には、上述したように電子だけが基板支持台 1 0 2 へ集まり、基板支持台 1 0 2 に蓄積される。この結果、基板支持台 1 0 2 の電位の平均値が、図 6 (B) に破線で示すように低下する。そのため、基板支持台 1 0 2 への電子の流入が、図 6 (C) に示すグラフ G 1 1 のように次第に低下するとともに、図 6

(C) に示すグラフ G 1 2 のような陽イオンの基板支持台 1 0 2 への流入が始まる。その後、電界変動の 1 周期の間に基板支持台 1 0 2 に流れ込む電子の量 [図 6

(F) の G グラフ 1 3] と陽イオンの量 [図 6 (F) のグラフ G 1 4] とが釣り合うところで、図 6 (E) に示すように、基板支持台 1 0 2 の電位の平均値 (破線) の低下が収まり、平衡状態となる。この基板支持台 1 0 2

の電位の平均値 (破線) が直流セルフバイアスの値となる。

【 0 0 0 9 】 図 5 に戻って、陽イオンが加速されて基板支持台 1 0 2 へ移動する際に、基板支持台 1 0 2 に半導体基板 1 0 5 が搭載されていると、陽イオンが半導体基板 1 0 5 に衝突し、半導体基板 1 0 5 に設けられた配線用金属膜の表面酸化膜に対して異方性エッチングが行われる。その際に、配線用金属膜が、半導体基板 1 0 5 の絶縁膜上に形成されている関係から、正電荷が配線用金属膜に蓄えられる。この電荷の蓄積をチャージアップと呼ぶ。

【 0 0 1 0 】

【 発明が解決しようとする課題 】 ところで、シリコン半導体集積回路の高集積化が進んでいる。そうした集積回路に使用するシリコン半導体ウェハ面内の均一性や成膜、加工速度を向上するために、ドライエッチングに使用するプラズマの電力が増大しており、その結果、チャージアップし易い傾向にある。なお、配線用金属膜に M O S トランジスタのゲート電極が接続されており、このため、ゲート電極がチャージアップされ易い。特に、回路パターン設計がより複雑になって、トランジスタの 1 つのゲート電極から引き出される配線数やコンタクト孔の面積が増大する傾向にあり、これがゲート電極のより大きなチャージアップを引き起こしている。

【 0 0 1 1 】 こうしたゲート電極のチャージアップの結果、半導体基板 1 0 5 のゲート電極下の絶縁膜で静電破壊 1 1 1 が発生する可能性が高まっている。図 7 は半導体基板 1 0 5 の断面を示す図である。図 7 において、半導体基板 1 0 5 には、絶縁膜層 1 0 7、金属配線層 1 0 8 が形成され、絶縁膜層 1 0 7 上にゲート電極 1 1 0 が存在し、ゲート電極 1 1 0 と金属配線層 1 0 8 とが接続されている。金属配線層 1 0 8 に対してエッチングマスク 1 0 9 を被せ、矢印方向の陽イオンを浴びせると、金属配線層 1 0 8 がエッチングされる。それとともに、金属配線層 1 0 8 は陽イオンを受け、金属配線層 1 0 8 に接続されたゲート電極 1 1 0 が正電荷でチャージアップされる。一方このとき、半導体基板 1 0 5 を搭載している基板支持台 1 0 2 は、直流セルフバイアスにより負に帯電しているので、ゲート電極 1 1 0 の下の絶縁膜に静電破壊 1 1 1 が発生する可能性がある。

【 0 0 1 2 】 特に、シリコン半導体集積回路の高集積化に伴い、M O S トランジスタのゲート電極 1 1 0 下の絶縁膜層 1 0 7 が薄くなる傾向にある。このため、こうした静電破壊 1 1 1 が非常に発生し易い状況にある。

【 0 0 1 3 】 このような製造工程において誘発される集積回路の障害を P I D (Process Induced Damage) と呼び、この P I D が、集積回路の歩留り率に重要な問題となってきている。

【 0 0 1 4 】 本発明はこのような点に鑑みてなされたものであり、チャージアップに起因するゲート電極下の絶

緑層の静電破壊を防止するようにしたドライエッチング方法および装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明では上記目的を達成するために、接地された筐体とその内部に設けられた基板支持台との間にプラズマを発生させ、発生したプラズマを、基板支持台上の半導体基板に照射するようにするドライエッチング装置における基板支持台に、高周波交流電流を供給して直流セルフバイアスを発生させ、基板支持台を第1の所定時間に亘って負に帯電させる工程と、基板支持台に直流電流を供給して基板支持台を第2の所定時間に亘って正に帯電させる工程とを、有することを特徴とするドライエッチング方法が提供される。

【0016】以上のような工程において、高周波交流電源から高周波交流電流が第1の所定時間に亘って基板支持台に供給され、これにより、基板支持台に直流セルフバイアスが発生し、基板支持台は負に帯電される。したがって、基板支持台に搭載された半導体基板に陽イオンが照射され、半導体基板がエッチングされる。これとともに、半導体基板に正の電荷が蓄積される。その後、高周波交流電源に代わって直流電源から正の電圧が第2の所定時間に亘って基板支持台に供給される。これにより、基板支持台は正に帯電される。そのため、陽イオンに代わって、半導体基板にはプラズマ中の電子が届き、第1の所定時間の間に半導体基板に蓄積された正電荷が、この届いた電子により第2の所定時間の間に中和される。

【0017】こうして半導体基板のチャージアップが解消し、ゲート電極下の絶縁層の静電破壊を防止する。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。図1は、本発明に係るドライエッチング装置の第1の実施の形態の構成図である。図中、チェンバ1が密封空間を構成し、その空間に不活性ガスが導入され（例えば、Arガス、100sccm）、また、真空排気系の接続により内部が低ガス圧に調整される（例えば、0.13Pa）。さらにチェンバ1は導電材で構成され、接地されている。チェンバ1内には基板支持台2が、チェンバ1と電気的に絶縁された状態で設けられる。基板支持台2は、導電材で構成され、導電支持棒3を介して切替スイッチ（SW）4に接続される。基板支持台2にはエッチング時に半導体基板5が搭載される。切替スイッチ4には、ブロッキングコンデンサCbを介してRF交流電源（RF）6が接続されるとともに、直流電源（DC）7が接続される。RF交流電源6は、周波数13.56MHz、交流電圧1000Vの高周波交流電流を出力し、直流電源7は正の直流電圧1000Vを出力する。切替スイッチ4は10Hzのサイクルで切替を行い、RF交流電源6の出力と直流電源7の出力とを交互に基板支持台2に供給する。

【0019】まず、RF交流電源6から基板支持台2に高周波交流電流が供給されているときには、チェンバ1と基板支持台2との間に発生したプラズマ8中の電子が基板支持台2に集まり、ブロッキングコンデンサCbの直流電流遮断作用により、基板支持台2に蓄積される。したがって、基板支持台2が負に直流セルフバイアスされる。直流セルフバイアスが発生すると、プラズマ8中の陽イオンが基板支持台2の方向に加速されて移動することになる。この結果、陽イオンが、基板支持台2に搭載された半導体基板5に衝突し、半導体基板5に設けられた配線用金属膜の表面酸化膜に対して異方性エッチングを行う。その際に、配線用金属膜が、半導体基板5の絶縁膜上に形成されている関係から、正電荷が配線用金属膜に蓄えられる。

【0020】ここで、切替スイッチ4を切替え、RF交流電源6に代わって直流電源7を基板支持台2に接続すると、基板支持台2は正に帯電される。そのため、陽イオンは今までと反対方向に加速され、エッチングが停止する。その上、半導体基板2の配線用金属膜にはプラズマ8中の電子が届き、先に半導体基板5の配線用金属膜に蓄積されていた正電荷が中和される。

【0021】図2は、こうしたRF交流電源6と直流電源7との切替えに伴う基板支持台2の電位および流入電流を示す図であり、（A）は基板支持台2へ供給される電源電圧を、（B）は基板支持台2の電位を、（C）は基板支持台2への流入電流を示す。（B）における破線は直流セルフバイアスを示し、（C）において、中央線L1より上部のグラフG1は電子の流入量を、下部のグラフG2は陽イオンの流入量を示す。

【0022】すなわち、図2（A）に示す期間T1において、RF交流電源6から基板支持台2に高周波交流電流が供給されているときには、図2（B）に破線で示すような直流セルフバイアスが、基板支持台2に発生する。この直流セルフバイアスが発生すると、プラズマ8中の陽イオンが、図2（C）に示すグラフG2のように、基板支持台2に流入し、この結果、エッチングが行われる。その際に、配線用金属膜が、半導体基板5の絶縁膜上に形成されている関係から、正電荷が配線用金属膜に蓄えられる。

【0023】ここで、図2（A）に示す期間T2において、切替スイッチ4の切替えによって、RF交流電源6に代わって直流電源7が基板支持台2に接続されると、基板支持台2は、図2（B）に示すように正に帯電される。そのため、図2（C）に示すグラフG1のように、プラズマ8中の電子が基板支持台2に届き、この際、先に半導体基板5の配線用金属膜に蓄積されていた正電荷がこの電子によって中和される。

【0024】このようにして、半導体基板5の配線用金属膜のチャージアップがサイクル毎に解消されるので、半導体基板2のゲート電極下の絶縁層の静電破壊が容易

に防止される。

【 0 0 2 5 】なお、切替スイッチ 4 は 1 0 H z のサイクルで切替えるようにしているが、この切替え周期は一般的にはつぎのようにして設定する。すなわち、基板支持台 2 に R F 交流電源 6 が第 1 の所定時間接続され、直流電源 7 が第 2 の所定時間接続されるとしたときに、第 1 の所定時間の長さを、長過ぎると半導体基板 2 に静電破壊が発生するので、少なくとも、静電破壊が発生する限界値よりも短い値に設定する。また、第 2 の所定時間の長さを、長過ぎるとプラズマ 8 の発生が停止してしまうので、少なくとも、プラズマ 8 の発生が停止する限界値よりも短い値に設定する。つまり、直流電源 7 を基板支持台 2 に長く接続しておく、と、半導体基板 5 の配線用金属膜が中和を通り越して負に帯電されてしまい、放電が停止されてしまうので、こうした放電が停止されないうちに第 2 の所定時間が終了する必要がある。

【 0 0 2 6 】また、切替スイッチ 4 では、第 1 の所定時間と、第 2 の所定時間とが同じ長さの 5 0 m s [= (1 0 H z) ⁻¹ / 2)] に設定されているが、切替スイッチ 4 に代わって、両者を異なる時間に設定できる切替スイッチを使用するようにしてもよく、さらに、切替スイッチに、これらの時間を外部から任意に設定できるような機能を持たせるようにしてもよい。

【 0 0 2 7 】さらに、切替スイッチ 4 を使用せず、R F 交流電源 6 をブロッキングコンデンサ C b を介して直接、導電支持棒 3 に接続するとともに、直流電源 7 を直接、導電支持棒 3 に接続する構成にし、R F 交流電源 6 および直流電源 7 へそれぞれ供給される電源電流を互い違いにオンオフするようにしてもよい。或いは、同様に、R F 交流電源 6 をブロッキングコンデンサ C b を介して直接、導電支持棒 3 に接続するとともに、直流電源 7 を直接、導電支持棒 3 に接続する構成にし、R F 交流電源 6 および直流電源 7 の中にそれぞれ設けられる発振回路を制御して、R F 交流電源 6 および直流電源 7 の各出力が互い違いに行われるようにしてもよい。

【 0 0 2 8 】つぎに、第 2 の実施の形態を説明する。図 3 は、本発明に係るドライエッチング装置の第 2 の実施の形態の構成図である。第 2 の実施の形態の構成は基本的に第 1 の実施の形態の構成と同じである。したがって、第 2 の実施の形態の説明では、第 1 の実施の形態と同一部分には同一符号を付してその説明を省略する。

【 0 0 2 9 】第 2 の実施の形態は、第 1 の実施の形態に比べて、基板支持台 2 に供給される電源部分だけが異なっている。すなわち、第 2 の実施の形態では、基板支持台 2 に導電支持棒 3 を介してパルス電源 9 が接続される。パルス電源 9 は、正の 1 0 0 0 V の直流電圧を 5 0 m s の間出力し、その直後、負の 1 0 0 0 V の直流電圧を 5 0 m s の間出力し、こうした出力を繰り返すものである。

【 0 0 3 0 】高周波交流電流が供給されないドライエッ

チング装置では、半導体基板 5 に形成された絶縁膜がコンデンサの役割を果たし、このコンデンサにプラズマ 8 および基板支持台 2 側から電流が流れ込んでいる間は放電が行われ、プラズマ 8 が発生する。流れ込む電流が、このコンデンサの容量を満たすと放電が停止する。そこで、基板支持台 2 に供給する直流電圧を、放電が停止されるよりも前のタイミングで正負交互に切り替えれば放電が維持され得る。放電が維持され得る正負の直流電圧の各供給継続期間は、例えば 5 0 m s である。

【 0 0 3 1 】まず、負の直流電圧が基板支持台 2 に供給されると、チェンバ 1 と基板支持台 2 との間にプラズマ 8 が発生し、プラズマ 8 中の陽イオンが基板支持台 2 の方向に加速されて移動する。これにより、陽イオンが、基板支持台 2 に搭載された半導体基板 5 に衝突し、半導体基板 5 に設けられた配線用金属膜の表面酸化膜に対して異方性エッチングが行われる。その際に、配線用金属膜が、半導体基板 5 の絶縁膜上に形成されている関係から、正電荷が配線用金属膜に蓄えられる。

【 0 0 3 2 】つぎに、正の直流電圧が基板支持台 2 に供給されると、陽イオンは今までと反対方向に加速され、エッチングが停止する。そして、半導体基板 2 の配線用金属膜にはプラズマ 8 中の電子が届き、先に半導体基板 5 の配線用金属膜に蓄積されていた正電荷が中和される。

【 0 0 3 3 】図 4 は、こうした第 2 の実施の形態における基板支持台 2 の電位および流入電流を示す図であり、(A) はパルス電源 9 の出力電圧を、(B) は基板支持台 2 の電位を、(C) は基板支持台 2 への流入電流を示す。(C) において、中央線 L 2 よりも上部のグラフ G 3 は電子の流入量を、下部のグラフ G 4 は陽イオンの流入量を示す。

【 0 0 3 4 】すなわち、図 4 (A) に示す期間 T 3 において、負の直流電圧が基板支持台 2 に供給されると、図 4 (B) に示すように基板支持台 2 が負に帯電し、プラズマ 8 中の陽イオンが、図 4 (C) に示すグラフ G 4 のように基板支持台 2 に流れ込む。この際、陽イオンが半導体基板 5 の配線用金属膜に衝突してエッチングが行われるとともに、配線用金属膜が、半導体基板 5 の絶縁膜上に形成されている関係から、正電荷が配線用金属膜に蓄えられる。

【 0 0 3 5 】つぎに、図 4 (A) に示す期間 T 4 において、正の直流電圧が基板支持台 2 に供給されると、図 4 (B) に示すように基板支持台 2 が正に帯電し、プラズマ 8 中の電子が、図 4 (C) に示すグラフ G 3 のように基板支持台 2 に流入する。この際に、この電子が、先に半導体基板 5 の配線用金属膜に蓄積されていた正電荷を中和する。

【 0 0 3 6 】このようにして、第 2 の実施の形態でも、半導体基板 5 の配線用金属膜のチャージアップがサイクル毎に解消され、半導体基板 2 のゲート電極下の絶縁層

の静電破壊が容易に防止される。

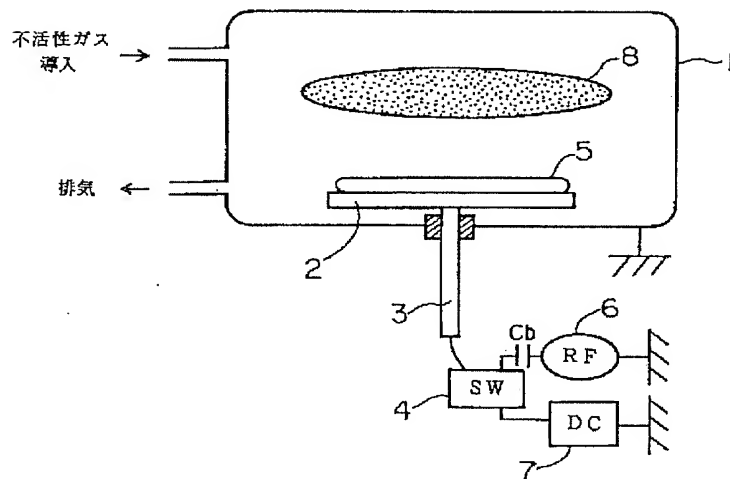
【0037】なお、第2の実施の形態のパルス電源9では、正負の直流電圧の継続時間を各50msに設定しているが、これらに限られることはない。一般には、これらの継続時間は、半導体基板2の静電破壊の防止や、放電停止の防止を考慮して設定されるものである。また、パルス電源9に、これらの継続時間を外部から任意に設定できるような機能を持たせるようにしてもよい。

【0038】

【発明の効果】以上説明したように本発明では、ドライエッチング装置において高周波交流電源以外に、切替スイッチおよび直流電源を設けた。これにより、陽イオンによるエッチングの最中に半導体基板に蓄積された正電荷が、切替スイッチによる直流電源の接続の度に、中和される。かくして、半導体基板のチャージアップが解消され、半導体基板に設けられたトランジスタのゲート電極下の絶縁層に発生する静電破壊を容易に防止することが可能となる。

【図面の簡単な説明】

【図1】



【図1】本発明の第1の実施の形態を示す構成図である。

【図2】RF交流電源と直流電源との切替えに伴う基板支持台の電位および流入電流を示す図である。

【図3】本発明の第2の実施の形態を示す構成図である。

【図4】第2の実施の形態における基板支持台の電位および流入電流を示す図である。

【図5】従来のドライエッチング装置を示す構成図である。

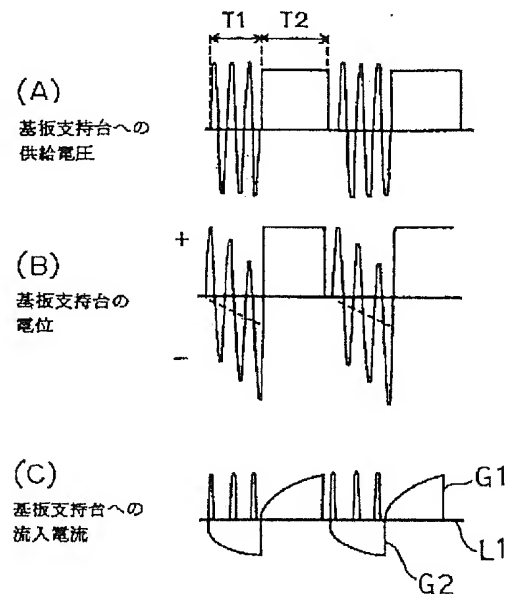
【図6】従来のドライエッチング装置における基板支持台の電位および流入電流を示す図である。

【図7】従来のドライエッチング装置で発生する半導体基板の静電破壊を説明する図である。

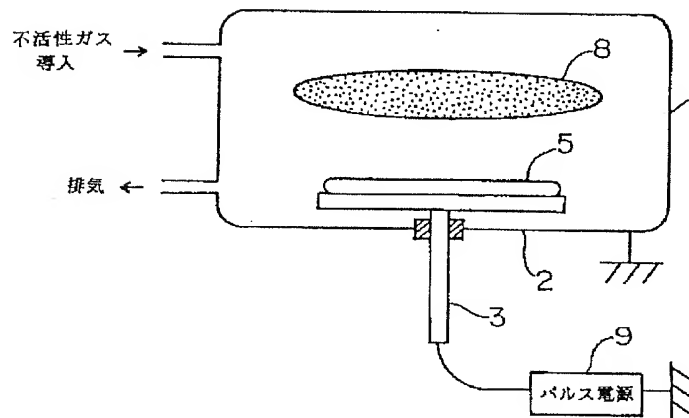
【符号の説明】

1…チェンバ、2…基板支持台、3…導電支持棒、4…切替スイッチ、5…半導体基板、6…RF交流電源、7…直流電源、8…プラズマ

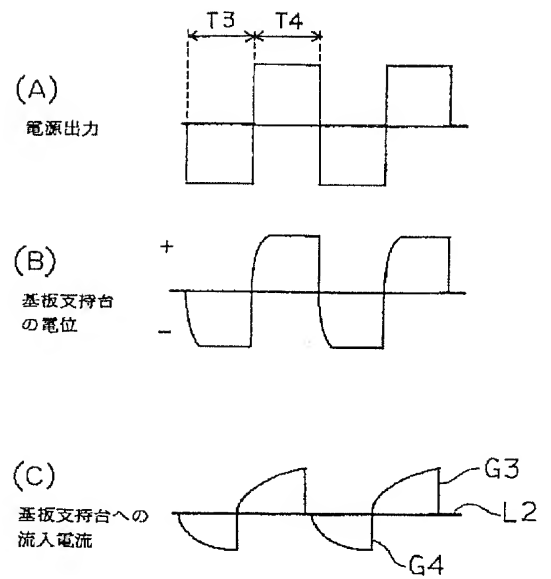
【図2】



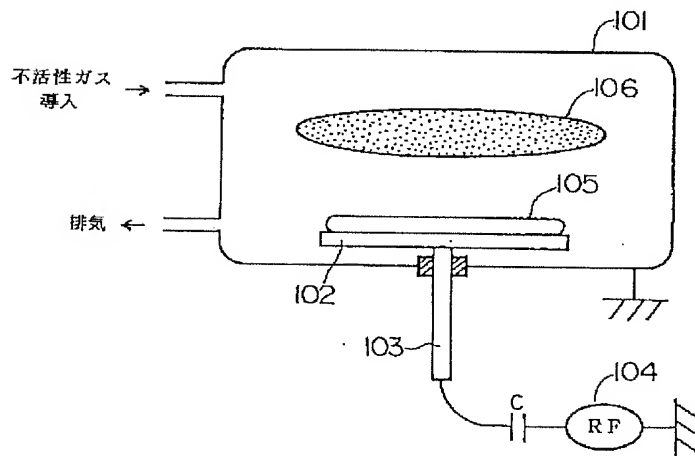
【図 3】



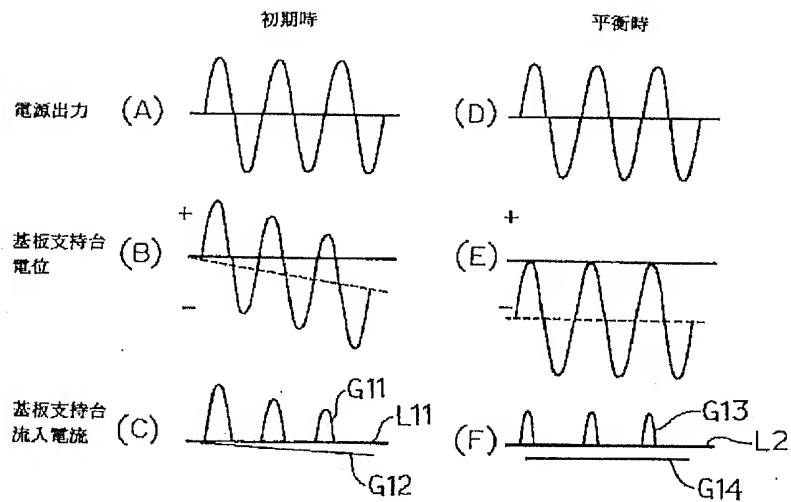
【図 4】



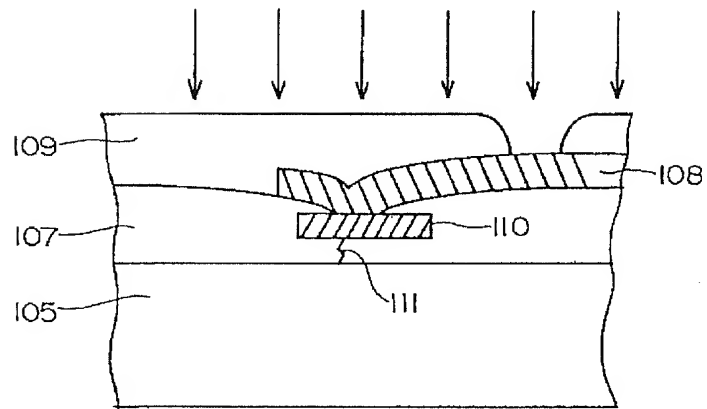
【図 5】



【図 6】



【図 7】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-004085

(43)Date of publication of application : 06.01.1998

(51)Int.Cl.

H01L 21/3065

H01L 21/28

H01L 21/68

(21)Application number : 08-156515

(71)Applicant : SONY CORP

(22)Date of filing : 18.06.1996

(72)Inventor : YAMADA HIROSHI

(54) DRY ETCHING AND APPARATUS THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid the electrostatic breakdown of an insulation film beneath gates due to charge up at dry etching of a semiconductor substrate with a plasma.

SOLUTION: The etching comprises a process of generating a plasma 8 between a grounded chamber and substrate holder 2 disposed therein, feeding a high frequency ac current from an RF power source 6 to the substrate holder in a dry etching apparatus for emitting the plasma 8 on a semiconductor substrate 5 laid on the holder 2, thereby causing a dc self bias to charge up the holder 2 in the negative polarity for a first specified time, and a process of feeding a dc current from a dc power source 7 to the substrate holder to charge up it in the positive polarity for a second specified time.

